

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-67020

(43)公開日 平成5年(1993)3月19日

(51)Int.Cl. <sup>3</sup>	識別記号	序内整理番号	F I	技術表示箇所
G 0 6 F 13/00	3 5 5	7368-5B		
12/08	H	7232-5B		
13/368	Z	7052-5B		
15/16	3 2 0	K 8840-5L		

審査請求 未請求 請求項の数2(全6頁)

(21)出願番号 特願平3-158944

(71)出願人 0000006507

横河電機株式会社

東京都武藏野市中町2丁目9番32号

(22)出願日 平成3年(1991)6月28日

(72)発明者 夏井 啓

東京都武藏野市中町2丁目9番32号 横河  
電機株式会社内

(74)代理人 弁理士 小沢 信助

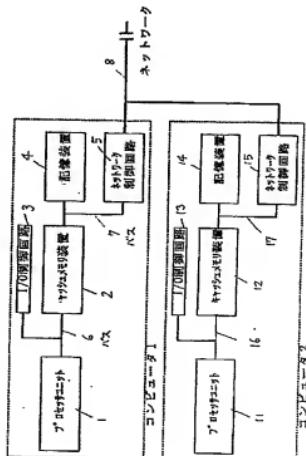
## (54)【発明の名称】 分散型コンピュータシステム

## (57)【要約】

【目的】ネットワーク上に分散配置されているコンピュータにおいて、データ操作を一元管理することにより、従来の分散環境コンピュータのデータ制御の煩雑さを解消する。

【構成】プロセッサユニットから発生する記憶装置のアドレスをネットワークを経由した他のコンピュータの記憶装置まで拡張し、次の機能を有するネットワーク制御回路を備える。

- ①アドレスが他のコンピュータの記憶装置のアドレスであれば、前記キャッシュメモリ装置よりネットワーク制御回路は、対象となるコンピュータへデータ転送を行なうための要求をネットワーク制御回路に出力する機能
- ②上記要求を受け取ったネットワーク制御回路は自身の記憶装置に対してこの要求を実行する機能



## 【特許請求の範囲】

【請求項1】主として演算処理を実行し、アドレスとデータそしていくつかの制御信号により外部とのインターフェースを実現するプロセッサユニットと、ダイレクトアクセス型の記憶手段と記憶装置制御回路により構成される記憶装置と、前記記憶装置制御回路とプロセッサユニットの間に実装され、記憶装置の内容の一部をキャッシングするキャッシュメモリとコピー・バック方式で制御するキャッシュ制御回路により構成されるキャッシュメモリ装置を備え、プロセッサユニットから発生するアドレスが直接記憶装置に反映され、コンピュータが実行・制御するデータが一元管理されるようにしたシステムであって、前記キャッシュメモリ装置と記憶装置を接続しているバスに接続され、プロセッサユニットから発生する記憶装置のアドレスをネットワークを経由した他のコンピュータの記憶装置まで拡張し、下記①および②の機能を有するネットワーク制御回路を具備したことを特徴とする分散型コンピュータシステム。

## 記

①アドレスが他のコンピュータの記憶装置のアドレスであれば、前記キャッシュメモリ装置によりネットワーク制御回路は、対象となるコンピュータへデータ転送を行いうための要求をネットワーク制御回路に出力する機能  
 ②上記要求を受け取ったネットワーク制御回路は自身の記憶装置に対してこの要求を実行する機能。

【請求項2】前記ネットワーク制御回路は、アドレス空間の狭いプロセッサユニットにおいてもネットワークでの動作を可能にするためのアドレス変換を行なうアドレス変換機能を含むようにしたことを特徴とする請求項1に記載の分散型コンピュータシステム。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、ネットワーク上に分散配置されたコンピュータにおけるデータ制御手法に関する。

## 【0002】

【従来の技術】一般的なコンピュータシステムでは、プログラムは中央処理装置(CPU)内の主記憶上で動作制御され、演算に要するデータについても基本的には主記憶をベースに考えられている。近年のコンピュータにおけるプログラムやデータのサイズは、ますます増加する傾向にある。さらに、ワークステーションの普及に伴い、ネットワークに配置された他のコンピュータとデータを共有する方式が実現されている。例えば、主として演算処理を実行し、データとデータそしていくつかの制御信号により外部とのインターフェースを実現するプロセッサユニットと、磁気ディスクに代表されるダイレクトアクセス型の記憶手段と記憶装置制御回路により構成される記憶装置と、前記記憶装置制御回路とプロセッサ

ユニットの間に実装され、記憶装置の内容の一部をキャッシングするキャッシュメモリとコピー・バック方式で制御するキャッシュ制御回路により構成されるキャッシュメモリ装置を備え、プロセッサユニットから発生するアドレスが直接記憶装置に反映され、コンピュータが実行・制御するデータが一元管理されるようにしたシステムである。

## 【0003】

【発明が解決しようとする課題】しかしながら、このようなシステムでは、ネットワーク上に分散配置するコンピュータ間のデータ管理において、以下のような理由により、補助記憶装置の制御以外にネットワーク管理が必要であり、データ管理のシーケンスには無駄があり、また制御を著しく複雑にしているという問題がある。

①各コンピュータのデータは、最終的に1つのコンピュータの補助記憶装置にファイルとして管理される。したがって、ネットワーク用のデータ形式、主記憶上のデータ形式、ディスク上のファイル形式といった3種類のデータ形式の変換が必要である。

②ネットワークのプロトコルは、異機種間の通信を実現するためにいくつもの階層に分割されており、コンピュータの制御の複雑化、負荷の増大、通信のスループットの劣化等の数々の弊害を招いている。

【0004】本発明の目的は、このような点を解消するため、ネットワーク上に分散配置されているコンピュータにおいて、データ操作を一元管理することにより、従来の分散環境コンピュータのデータ制御の煩雑さを解消することのできる分散型コンピュータシステムを提供することにある。

## 【0005】

【課題を解決するための手段】このような目的を達成するため本発明では、主として演算処理を実行し、アドレスとデータそしていくつかの制御信号により外部とのインターフェースを実現するプロセッサユニットと、ダイレクトアクセス型の記憶手段と記憶装置制御回路により構成される記憶装置と、前記記憶装置制御回路とプロセッサユニットの間に実装され、記憶装置の内容の一部をキャッシングするキャッシュメモリとコピー・バック方式で制御するキャッシュ制御回路により構成されるキャッシュメモリ装置を備え、プロセッサユニットから発生するアドレスが直接記憶装置に反映され、コンピュータが実行・制御するデータが一元管理されるようにしたシステムであって、前記キャッシュメモリ装置と記憶装置を接続しているバスに接続され、プロセッサユニットから発生する記憶装置のアドレスをネットワークを経由した他のコンピュータの記憶装置まで拡張し、

①アドレスが他のコンピュータの記憶装置のアドレスであれば、前記キャッシュメモリ装置よりネットワーク制御回路は、対象となるコンピュータへデータ転送を行なうための要求をネットワーク制御回路に出力する機能と、

❷上記要求を受け取ったネットワーク制御回路は自身の記憶装置に対してこの要求を実行する機能  
を有するネットワーク制御回路を具備したことを特徴とする。

#### 【0006】

【作用】データを一元管理されたようにしたシステムにおいて、更にネットワーク制御回路を備え、この回路に、

①アドレスが他のコンピュータの記憶装置のアドレスであれば、前記キャッシュメモリ装置によりネットワーク制御回路は、対象となるコンピュータへデータ転送を行うための要求をネットワーク制御回路に出力する機能と、  
❸上記要求を受け取ったネットワーク制御回路は自身の記憶装置に対してこの要求を実行する機能  
を持たせる。これにより、ネットワーク上に構築されるコンピュータの各記憶装置内データが透過的に一元管理できる。

#### 【0007】

【実施例】以下本発明を詳細に説明する。図1は本発明に係る分散型コンピュータシステムの一実施例を示す構成図であり、図では同一構成の2台のコンピュータをネットワーク構成とした場合を例にとって示してある。図において、1はプロセッサユニット、2はキャッシュメモリ装置、3は出入力(1/O)制御回路、4は記憶装置、5はネットワーク制御回路、6、7は内部バス、8はネットワーク用のバスである。コンピュータ2についても同じ回路構成があるので、以下ではコンピュータ1に関する構成のみ説明する。

【0008】キャッシュメモリ装置2は、キャッシュ制御回路とキャッシュメモリにより構成され(いざれも図示せず)、キャッシュ制御回路にはプロセッサ1のアドレス信号が接続され、キャッシュメモリにはデータ信号が接続される。I/O制御回路3は、ネットワーク等に代表される通信手段や表示装置とのインターフェースを実現するものである。この回路とその制御手法は従来のコンピュータシステムと何ら変わることろがなく、本発明とは直接関係ないので、その説明を省略する。記憶装置4はメモリ制御回路と記憶手段から構成され(図示せず)、これには例えば磁気ディスク装置が使用される。一般的コンピュータとの構成を比較すると、ハードウェアを構成する素材から見れば、キャッシュメモリはDRAM等による主記憶に、また記憶装置は磁気ディスク等による補助記憶装置に相当する。ただし、プロセッサが直接アクセスできるアドレス空間は本発明ではあくまで記憶装置であり、すべてのデータが一元管理できるのに対して、従来のコンピュータではDRAM等による主記憶を制御していた点が大きく違っている。ネットワーク制御回路5は他のコンピュータ内の記憶装置4が透過的に見えるようにする機能を有する。このため、図1において1台のプロセッサユニット1からは図2に示すよ

うにキャッシュメモリ装置2に記憶装置4と14の2台の記憶装置が接続されているのと同等である。

【0009】図3はn台のコンピュータをネットワーク上に分散させた場合のアドレス割付例を示す図である。コンピュータの使用される用途により必要とされるアドレス空間(ビット幅)は異なるが、すべてのプロセッサユニットが図3のようなアドレス空間を実装することは効率的でなく、また現実的でない。そこで、アドレス空間の狭いプロセッサユニットが本発明によるネットワーク環境を実現するために、本発明ではネットワーク制御回路にアドレス変換機能を持たせている。図4は、32ビット(4Gバイト)のアドレス空間のプロセッサユニットを、ネットワーク上の管理アドレス40ビット(1Tバイト)に変換する例を示したものである。このようなアドレス変換機能により、巨大なデータサーバー上で各コンピュータがデータを共有することが可能となる。

【0010】このような構成における動作を次に説明する。本発明の特徴は、ダイレクトアクセス型記憶(一般には磁気ディスク)装置上に構成されるファイルや、大きなプログラムサイズに有効な仮想記憶メモリ手法といった従来のコンピュータに必要であった概念がまったく存在しないことである。したがって、動作も至って簡単であり、基本的にはデータ読み込み動作のキャッシュのヒットとミスと、書き込み動作のキャッシュデータフラッシュしかない。キャッシュヒットの場合は通常の読み込み動作をする。キャッシュミスの場合は、キャッシュ制御回路が記憶装置4の制御回路にミスしたアドレスを指定して起動をかける。同時にプロセッサユニットに対して割込みでキャッシュミスを通知し、その後の動作はオペレーティングシステム(OS)に依存して、実行すべき他のプログラムを参照してそのプログラムを実行させる。もし、その他の実行すべきプログラムがなければ、このままプロセッサは停止する。

【0011】キャッシュデータフラッシュの場合、フラッシュのタイミングは、

①読み込みデータ用の領域を確保するため、  
②大量の書き込みデータがあり、データデータでキャッシュが一杯になったため、

③定期的キャッシュの内容をクリーンするため等があるが、基本的にはキャッシュ制御回路が自動的に判断して起動する。このためプロセッサユニット1の動作には影響しない。

【0012】本発明のコンピュータシステムは以上の基本動作に加え、次の動作も行なう。すなわち、アドレスが自身の記憶装置以外のアドレスであれば、キャッシュメモリ装置2(12)よりネットワーク制御回路5(15)に対象となるコンピュータへデータ転送要求を出す。この要求を受け取ったネットワーク制御回路は自身の記憶装置に対してこの要求を実行する。なお、図1に

示すシステムは、各プロセッサユニット1, 11にキャッシュメモリを実装したマルチプロセッサシステムであることは言うまでもない。したがって、複数のプロセッサユニットが同一のデータを共有する場合、各キャッシュメモリのコピーレンスを保つための機能が必要になる。その機能は、システム構成により一定でないが、  
 ①キャッシュ制御回路にスnoop( snoop )機能を追加する

②他のキャッシュメモリに対するup data, invalid コマンド

等が予想される。この場合、ネットワーク上のプロトコルにも上記のようなコマンドの発行/応答機能が必要になる。

#### 【0013】

【発明の効果】以上説明したように、本発明によれば次のような効果がある。

①ネットワーク上に構築される分散環境のコンピュータにおいてもデータの一元管理ができ、かつファイルという概念も存在しないので、コンピュータのデータ処理が簡単になり、またそのため高速化も期待できる。

②従来のコンピュータが必要としたファイル管理バッファが不要になり、安価なシステムが構築できる。

③I/O制御回路の動作については上記のように従来の\*

\* コンピュータ制御手法と同一であるが、そのため本発明の特徴である一元管理されたメモリアドレス方式の利点が阻害される。しかしながら、従来のコンピュータのI/Oにおいて補助記憶の制御手法および制御回路が一番複雑であること、I/Oの中で動作上の負荷が最も大きいことは明確であるので、この問題が解消されていることの利点は大きい。

#### 【図面の簡単な説明】

【図1】本発明に係る分散型コンピュータシステムの一実施例を示す構成図である。

【図2】1台のプロセッサユニットから2つの記憶装置が透過的に見えることを説明するための図である。

【図3】n台のコンピュータをネットワーク上分散させた場合のアドレス割付例を示す図である。

【図4】アドレス変換例を示す図である。

#### 【符号の説明】

1, 11 プロセッサユニット

2, 12 キャッシュメモリ装置

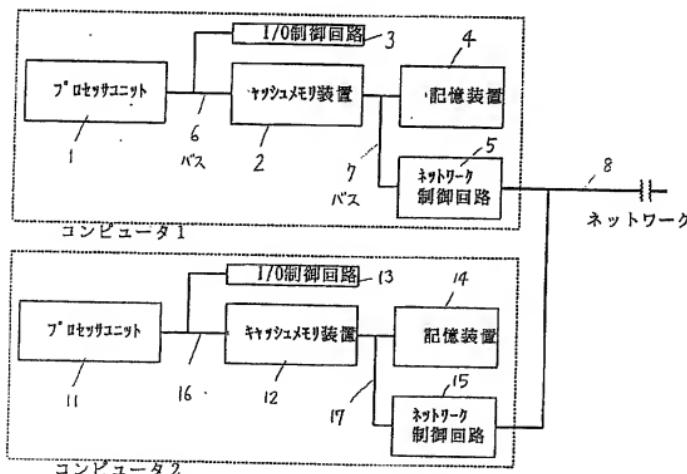
3, 13 I/O制御回路

20 4, 14 記憶装置

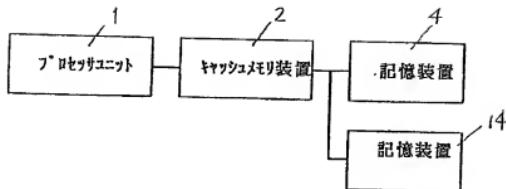
5, 15 ネットワーク制御回路

6, 7, 8 パス

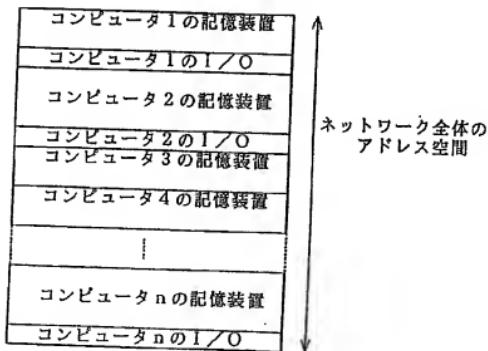
【図1】



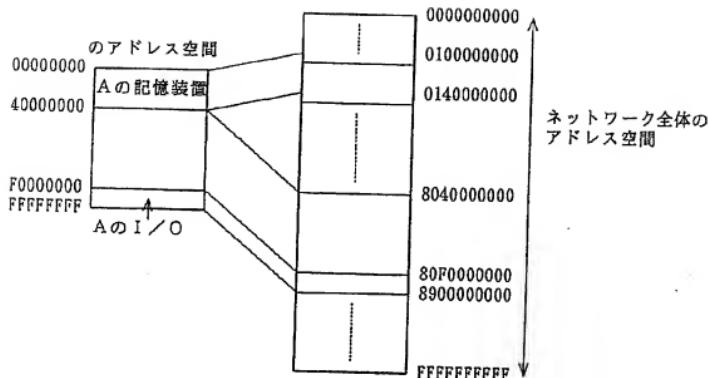
【図2】



【図3】



【図4】



## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-067020

(43)Date of publication of application : 19.03.1993

(51)Int.Cl.

G06F 13/00  
G06F 12/08  
G06F 13/368  
G06F 15/16

(21)Application number : 03-158944

(71)Applicant : YOKOGAWA ELECTRIC CORP

(22)Date of filing : 28.06.1991

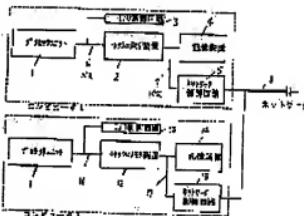
(72)Inventor : NATSUI SATOSHI

## (54) DISTRIBUTED COMPUTER SYSTEM

## (57)Abstract:

**PURPOSE:** To eliminate the complication of data control by installing a network control circuit having a function which outputs a request for transferring data to an objective computer, and a function which executes the request for its own storage device, when an address is the storage device of the other computer.

**CONSTITUTION:** When two computers of the same constitution are used as a network constitution in a distributed computer system, a cache memory device 2 of a computer 1 is constituted of a cache control circuit and a cache memory. Then, the address signal of a processor unit 1 is connected with the cache control circuit, and a data signal is connected with the cache memory. And also, an I/O control circuit 3 realizes an interface with a communicating means such as a network, or a display device. Then, the request for transferring the data to the objective computer is outputted from the cache memory device 2(12) to a network control circuit 5(15), and the network control circuit which receives the request executes the request for its own storage device.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

## \* NOTICES \*

JPO and INPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

## [Claim(s)]

[Claim 1] The processor unit which mainly performs data processing and realizes an interface with the exterior with the address, data, and some control signals. The storage means of a direct access mold, and the storage constituted by the storage control circuit, It is mounted between said storage control circuits and processor units, and has cache memory equipment constituted by the cache control circuit controlled by the cache memory which carries out the cash advance of some contents of storage, and the copy back method. The address generated from a processor unit is reflected in immediate memory equipment. The data which a computer performs and controls are the system which unitary management was made to be carried out. It connects with the bus which has connected said cache memory equipment and store. The distributed computer system characterized by providing the network control circuit which even the storage of other computers which went via the network extends the address of the storage generated from a processor unit, and has the function of the following \*\* and \*\*. The network control circuit which received the function \*\* above-mentioned demand which will output a demand for a network control circuit to perform data transfer to the target computer to a network control circuit from said cache memory equipment if the account \*\* address is the address of the storage of other computers is the function to perform this demand to own storage.

[Claim 2] Said network control circuit is a distributed computer system according to claim 1 characterized by making it include the address translation function to perform address translation for enabling actuation in a network also in the narrow processor unit of an address space.

---

[Translation done.]

## \* NOTICES \*

JPO and INPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

#### [0001]

[Industrial Application] This invention relates to the data control technique in the computer distributed on the network.

#### [0002]

[Description of the Prior Art] According to the general computer system, motion control of the program is carried out on the primary storage in a central processing unit (CPU), and it is fundamentally considered also about the data which an operation takes based on the primary storage. The size of the program in a computer in recent years or data tends to increase increasingly. Furthermore, the method which shares the computer and data of the others arranged in the network is realized with the spread of workstations. For example, the processor unit which mainly performs data processing and realizes an interface with the exterior with the address, data, and some control signals, The storage means of the direct access mold represented by the magnetic disk, and the storage constituted by the storage control circuit, It is mounted between said storage control circuits and processor units, and has cache memory equipment constituted by the cache control circuit controlled by the cache memory which carries out the cash advance of some contents of storage, and the copy back method. The address generated from a processor unit is reflected in immediate memory equipment, and there is a system by which the unitary management of the data which a computer performs and controls was made to be carried out.

#### [0003]

[Problem(s) to be Solved by the Invention] However, in such a system, there is a problem of network administration being required in addition to control of an auxiliary storage unit, and there being futility in the sequence of data control, and complicating control remarkable for the following reasons, in the data control between the computers distributed on a network.

\*\* Finally the data of each computer are managed by the auxiliary storage unit of one computer as a file. Therefore, three kinds of data format, such as data format for networks, data format on a primary storage, and file format on a disk, needs to be changed.

\*\* The network protocol is divided into many hierarchies in order to realize the communication link between different models, and it has caused many evils, such as complication of control of a computer, increase of a load, and degradation of a communicative throughput.

[0004] The purpose of this invention is by canceling such a point and carrying out unitary management of the data manipulation in the computer distributed on the network to offer the distributed computer system which can cancel the complicatedness of the data control of the conventional distributed-environment computer.

#### [0005]

[Means for Solving the Problem] In order to attain such a purpose in this invention The processor unit which mainly performs data processing and realizes an interface with the exterior with the address, data, and some control signals, The storage means of a direct access mold, and the storage constituted by the storage control circuit, It is mounted between said storage control circuits and processor units, and has cache memory equipment constituted by the cache

control circuit controlled by the cache memory which carries out the cash advance of some contents of storage, and the copy back method. The address generated from a processor unit is reflected in immediate memory equipment. The data which a computer performs and controls are the system which unitary management was made to be carried out. It connects with the bus which has connected said cache memory equipment and store. Even the storage of other computers which went via the network extends the address of the storage generated from a processor unit, and if \*\* address is the address of the storage of other computers From said cache memory equipment, a network control circuit The network control circuit which thought the \*\* above-mentioned demand to be the function which outputs the demand for performing data transfer to the target computer in a network control circuit is characterized by providing the network control circuit which has the function to perform this demand to own storage.

[0006]

[Function] It has a network-control circuit further, and if \*\* address is the address of the storage of other computers, in the system which unitary management was made to carry out data, the network-control circuit which thought the \*\* above-mentioned demand to be the function which outputs a demand for a network-control circuit to perform data transfer to the target computer to a network-control circuit will give the function of performing this demand to own storage to this circuit, from said cache-memory equipment. Thereby, the unitary management of each data in a store of the computer built on a network can be carried out transparent.

[0007]

[Example] This invention is explained to a detail below. Drawing 1 is the block diagram showing one example of the distributed computer system concerning this invention, and is shown taking the case of the case where two computers of the same configuration are made into network configuration by a diagram. For a processor unit and 2, as for an I/O (I/O) control circuit and 4, in drawing, cache memory equipment and 3 are [ 1 / a store and 5 ] a network control circuit and a bus for [ 7 / 6 and ] networks in an internal bus and 8. Since it is circuitry with the same said of the computer 2, below, only the configuration about a computer 1 is explained.

[0008] Cache memory equipment 2 consists of a cache control circuit and cache memory (neither is illustrated), the address signal of a processor 1 is connected to a cache control circuit, and a data signal is connected to cache memory. The I/O-hardware-control circuit 3 realizes an interface with means of communications and the display which are represented in a network etc. Since this circuit and its control technique do not have the conventional computer system and the place which changes in any way and this invention is not directly related, that explanation is omitted. Storage 4 consists of a memory control circuit and a storage means (not shown), and a magnetic disk drive is used for this. If a configuration with a common computer is compared and it will see from the material which constitutes hardware, cache memory is equivalent to the auxiliary storage unit according [ a store ] to a magnetic disk etc. again at the primary storage by DRAM etc. However, the address space which can carry out direct access of the processor is a store to the last in this invention, and the point which was controlling the primary storage by DRAM etc. by the conventional computer is greatly different to the ability to carry out the unitary management of all the data. The network control circuit 5 has the function make it the storage 4 in other computers appear transparent. For this reason, it is equivalent to two sets of the storage of storage 4 and 14 being connected to cache memory equipment 2 as drawing 1 is shown in drawing 2 from the one processor unit 1.

[0009] Drawing 3 is drawing showing the example of an address assignment at the time of distributing n computers on a network. Although the address spaces (bit width of face) needed by the application for which a computer is used differ, it is not efficient that all processor units mount an address space like drawing 3 , and it is not realistic, either. Then, in order that the narrow processor unit of an address space may realize the network environment by this invention, the address translation function is given to the network control circuit in this invention. Drawing 4 shows the example which changes the processor unit of a 32 bits (4 G bytes) address space into 40 bits (1T byte) of management addresses on a network. By such address translation function, each computer becomes possible [ sharing data ] on a huge data

server.

[0010] The actuation in such a configuration is explained below. The description of this invention is that the concept which was required for the conventional computers, such as a file constituted on direct access mold storage (generally magnetic disk) equipment and the virtual-memory memory technique effective in a big program size, does not exist at all. Therefore, actuation is also very easy and there are only a hit of the cache of data read in actuation, a mistake, and a cache data flash plate of write-in actuation fundamentally. In a cache hit, the usual read in actuation is carried out. In a cache mistake, the address with which the cache control circuit made the mistake in the control circuit of storage 4 is specified, and it applies starting. Notifying a cache mistake to coincidence by interruption to a processor unit, subsequent actuation operates the program with reference to other programs which should be executed depending on an OPERETIGU system (OS). If there is no program which should perform others, a processor will stop as it is.

[0011] Although it is in order to carry out clean [ of the contents of the cache ] by \*\* fixed cycle since there are write-in data of \*\* mass in order that the timing of a flash plate may secure the field for \*\* read in data in the case of a cache data flash plate, and the cache filled with dirty data, fundamentally, a cache control circuit judges automatically and starts. For this reason, actuation of the processor unit 1 is not influenced.

[0012] In addition to the above basic actuation, the computer system of this invention also performs the next actuation. That is, if the addresses are the addresses other than own storage, a data transfer demand will be given to the network control circuit 5 (15) from cache memory equipment 2 (12) to the target computer. The network control circuit which received this demand performs this demand to own storage. In addition, it cannot be overemphasized that the system shown in drawing 1 is a multiprocessor system which mounted cache memory in each processor units 1 and 11. Therefore, when two or more processor units share the same data, the function for maintaining the coherence of each cache memory is needed. The function is up data to cache memory besides \*\* which adds a snoop (snoop) function to \*\* cache control circuit by the system configuration although it is not fixed, and invalid. A command etc. is expected. In this case, issue/answer capability of the above commands are needed also for the protocol on a network.

[0013]

[Effect of the Invention] As explained above, according to this invention, there is the following effectiveness.

\*\* since unitary management of data can be performed also in the computer of a distributed environment built on a network and the concept of a file does not exist, either -- data processing of a computer -- easy -- becoming -- moreover -- therefore, improvement in the speed is also expectable.

\*\* The file management buffer which the conventional computer needed becomes unnecessary, and a cheap system can be built.

\*\* Although it is the same as that of the conventional computer control technique as mentioned above about actuation of an I/O-hardware-control circuit therefore, the advantage of the memory address method which is the description of this invention and by which unitary management was carried out is checked. However, since it is clear in I/O of the conventional computer that the control technique of secondary memory and a control circuit are the most complicated and that the load on actuation is the largest in I/O, the advantage of this problem being solved is large.

---

[Translation done.]

**\* NOTICES \***

JPO and INPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

**[Brief Description of the Drawings]**

[Drawing 1] It is the block diagram showing one example of the distributed computer system concerning this invention.

[Drawing 2] It is drawing for explaining that two storage looks transparent from an one processor unit.

[Drawing 3] It is drawing showing the example of an address assignment at the time of distributing n computers on a network.

[Drawing 4] It is drawing showing the example of address translation.

**[Description of Notations]**

1 11 Processor unit

2 12 Cache memory equipment

3 13 I/O-hardware-control circuit

4 14 Storage

5 15 Network control circuit

6, 7, 8 Bus

---

[Translation done.]